

⑫ 公開特許公報(A)

昭61-217815

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)9月27日

G 05 F 3/16

7319-5H

審査請求 未請求 発明の数 4 (全18頁)

⑭ 発明の名称 低電力、低出力インピーダンスオンチップ電圧基準発生器

⑯ 特 願 昭61-47157

⑰ 出 願 昭61(1986)3月3日

優先権主張 ⑱ 1985年3月4日 ⑲ 米国(US) ⑳ 707726

㉑ 発 明 者 リー・リン・シユー アメリカ合衆国、カリフォルニア州、ミルピタス ロウ
ン・ツリー・コート、204㉒ 発 明 者 タイ・チン・シユウ アメリカ合衆国、カリフォルニア州、サン・ホセ ポータ
ー・レイン、240㉓ 発 明 者 バトリック・チャン アメリカ合衆国、カリフォルニア州、クーパティノ オー
ルド・タウン、929㉔ 出 願 人 アドバンスト・マイク アメリカ合衆国、カリフォルニア州、サニイベイル ビ
ロ・デイバイシズ・イ
ンコーポレーテッド
イ・オウ・ボックス・3453、トンブソン・プレイス、901

㉕ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

低電力、低出力インピーダンスオンチップ電圧
基準発生器

2. 特許請求の範囲

(1) 高出力インピーダンス電圧基準発生器
の出力端子から V_{REFIN} 信号を受入れ、かつ
大きさが V_{REFIN} の大きさにほぼ等しい V_{R}
 $EFOUT$ 信号を与える、高電流駆動能力を有す
る低電力、低出力インピーダンスオンチップ電圧
基準発生器であって、高出力インピーダンス電圧基準発生器の出力端
子に結合される入力端子を有する、第1複数個の
相互に接続されたトランジスタを含む前置増幅器
を備え、前記前置増幅器は、電流の実質的な量が
前記高出力インピーダンス電圧基準発生器の出力
端子へまたは出力端子から流れるのを防ぎ、かつ
第1および第2前置増幅器出力端子でそれぞれ第
1および第2前置増幅器出力信号を与え、

前記第1および第2前置増幅器出力にそれぞれ

結合される第1および第2入力^カを有する第2複数
個の相互に接続されたトランジスタを含み、かつ
出力段出力端子で V_{REFOUT} 信号を与え、か
つ高ソース/シンク電流駆動能力および低出力イ
ンピーダンスを与える、ソースフォロア出力段、
および電力放散を最少にするために、前記第1および
第2の複数のトランジスタをサブスレッシュホールド
領域でバイアスする手段をさらに備える、電圧基
準発生器。

(2) 前記バイアス手段は、

前記第1複数個のトランジスタを含む回路であ
るカレントミラーを備える、特許請求の範囲第1
項記載の電圧基準発生器。(3) 前記カレントミラーは、整合された1
対のトランジスタを含む、特許請求の範囲第2項
記載の電圧基準発生器。(4) 前記整合された対の前記トランジスタ
は、前記カレントミラーの電流の流れをサブスレ
ッシュホールドレベルまで減じるためにスケールさ

れる、特許請求の範囲第3項記載の電圧基準発生器。

(5) 高出力インピーダンス電圧基準発生器の出力端子から V_{REFIN} 信号を受入れ、かつ大きさが V_{REFIN} の大きさにほぼ等しい V_{REFOUT} 信号を与える、高電流駆動能力を有する低電力、低出力インピーダンスオンチップ電圧基準発生器であって、

高出力インピーダンス電圧基準発生器の出力端子に結合される入力端子を有する、第1複数の相互に接続されたトランジスタを含む前置増幅器を備え、前記前置増幅器は、電流の実質的な量が前記高出力インピーダンス電圧基準発生器の出力端子へまたは出力端子から流れるのを防ぎ、かつ第1および第2前置増幅器出力端子でそれぞれ第1および第2前置増幅器出力信号を与え、

前記第1および第2前置増幅器出力に結合される第1および第2入力、および第1および第2出力端子を有する、第2複数の相互に接続されたトランジスタを含む分離段をさらに備え、前記分

記載の電圧基準発生器。

(8) 前記整合された対の前記トランジスタは、前記カレントミラーの電流の流れをサブスレッシュホールドレベルまで減じるためにスケールされる、特許請求の範囲第7項記載の発明。

(9) 高出力インピーダンス電圧基準発生器の出力端子から V_{REFIN} 信号を受入れ、かつ大きさが V_{REFIN} の大きさにほぼ等しい V_{REFOUT} 信号を与える、高電流駆動能力を有する低電力、低出力インピーダンスオンチップCMOS電圧基準発生器であって、

高出力インピーダンス電圧基準発生器の出力端子に結合される入力端子を有する、第1複数の相互に接続されたPMOSおよびNMOSトランジスタを含むCMOS前置増幅器を備え、前記前置増幅器は、電流の実質的な量が前記高出力インピーダンス電圧基準発生器の出力端子へまたは出力端子から流れるのを防ぎ、かつ第1および第2前置増幅器出力端子でそれぞれ第1および第2前置増幅器出力信号を与え、

分離段は、出力電圧の跳ね返りの影響から前記前置増幅器を分離し、かつ電圧基準発生器の電流駆動能力を増加させ、

前記第1および第2分離段出力にそれぞれ結合される第1および第2入力を有する、第3複数の相互に接続されたトランジスタを含み、かつ出力段出力端子で V_{REFOUT} 信号を与え、かつ高ソース/シンク電流駆動能力、および低出力インピーダンスを与えるソースフォロア出力段、および

電力放散を最少にするために、前記第1、第2および第3の複数のトランジスタをサブスレッシュホールド領域でバイアスする手段をさらに備える、電圧基準発生器。

(6) 前記バイアス手段は、

前記第1複数のトランジスタを含む回路であるカレントミラーを備える、特許請求の範囲第5項記載の電圧基準発生器。

(7) 前記カレントミラーは、整合された1対のトランジスタを含む、特許請求の範囲第6項

前記第1および第2前置増幅器出力にそれぞれ結合される第1および第2入力を有する、第2複数の相互に接続されたPMOSおよびNMOSトランジスタを含み、出力段出力端子で V_{REFOUT} 信号を与え、かつ高ソース/シンク電流駆動能力および低出力インピーダンスを与える、CMOSソースフォロア出力段、および

電力放散を最少にするために、前記第1および第2複数のトランジスタをサブスレッシュホールド領域でバイアスする手段をさらに備える、CMOS電圧基準発生器。

(10) 前記バイアス手段は、

前記第1複数のトランジスタを含む回路であるCMOSカレントミラーを備える、特許請求の範囲第9項記載のCMOS電圧基準発生器。

(11) 前記カレントミラーは、整合された1対のトランジスタを含む、特許請求の範囲第9項記載のCMOS電圧基準発生器。

(12) 前記整合された対のトランジスタの W/L 比は、前記カレントミラーの電流の流れを

サブスレッシュヨールドレベルまで減じるためにスケールされる、特許請求の範囲第11項記載のCMOS電圧基準発生器。

(13) 前記低出力インピーダンス電圧基準発生器は、外部電源の V_{CC} および接地端子に接続され、前記CMOSカレントミラーは、第1および第2の相互に接続された直列回路を含み、前記第1回路は、

V_{CC} 端子に接続されるソース端子、および第1回路接続点に接続されるドレイン端子を有する第1PMOSトランジスタ、および

前記第1回路接続点に接続されるドレイン端子、および第2回路接続点に接続されるソース端子を有する第2NMOSトランジスタを備え、前記高出力インピーダンス電圧基準発生器の出力端子はまた、前記第2回路接続点に結合され、

前記第2回路接続点に接続されるソース端子、および第3回路接続点に接続されるドレイン端子を有する第3PMOSトランジスタ、および

前記第3回路接続点に接続されるドレイン端子、

前記第6トランジスタのゲートは前記第1接続点に結合され、

前記第5接続点に接続されるソース端子、および第6回路接続点に接続されるドレイン端子を有する第7PMOSトランジスタを備え、前記第7トランジスタのゲートは前記第3接続点に結合され、

前記第6接続点に接続されるドレイン端子、および接地端子に接続されるソース端子を有する第8NMOSトランジスタをさらに備え、前記第6接続点は前記第4トランジスタのゲートに結合され、

前記第5PMOSトランジスタは、ダイオード構成で接続され、そのゲートは前記第4回路接続点に接続され、

前記第8NMOSトランジスタは、ダイオード構成で接続され、そのゲートは前記第6回路接続点に接続され、

前記第1および第5、第2および第6、第3および第7、および第4および第8トランジスタは、

および接地端子に接続されるソースを有する第4NMOSトランジスタをさらに含み、

前記第2NMOSトランジスタは、ダイオード構成で接続され、そのゲートは前記第1回路接続点に接続され、

前記第3PMOSトランジスタは、ダイオード構成で接続され、そのゲートは前記第3回路接続点に接続され、

前記第1および第3回路接続点は、前記前置増幅器のそれぞれ第1および第2出力端子であり、かつ

前記第2直列回路は、

V_{CC} 端子に結合されるソース端子、および第4回路接続点に接続されるドレイン端子を有する第5PMOSトランジスタを備え、前記第4回路接続点は、前記第1トランジスタのゲートに結合され、

前記第4回路接続点に接続されるドレイン端子、および第5回路接続点に接続されるソース端子を有する第6NMOSトランジスタをさらに備え、

整合されたトランジスタの対であり、かつ

前記第1および第3接続点は、第1および第2前置増幅器出力端子である、特許請求の範囲第12項記載のCMOS電圧基準発生器。

(14) 前記第1および第5、および第4および第8トランジスタの W/L 比は、前記第1および第2回路を介する電流の流れをサブスレッシュヨールドレベルまで減じるためにスケールされる、特許請求の範囲第13項記載のCMOS電圧基準発生器。

(15) V_{FEFIN} の大きさは、 V_{PP} の絶対値と $V_{CC} - V_{TN}$ との間にある、特許請求の範囲第14項に記載のCMOS電圧基準発生器。

(16) V_{CC} が第1から第2レベルまで揺れるとき、誤った出力状態での第1および第3接続点のトラッピングを防ぐ手段をさらに備える、特許請求の範囲第15項記載のCMOS電圧基準発生器。

(17) 前記防止手段は、

高出力インピーダンス電圧基準発生器の出力端

子を前記第1接続点に結合する、第1コンデンサC₁、

高出力インピーダンス電圧基準発生器の出力端子を前記第3接続点に結合する、第2コンデンサC₂、

および前記第5接続点を接地端子に結合する、第3コンデンサC₃を備える、特許請求の範囲第16項記載のCMOS電圧基準発生器。

(18) 前記防止手段は、

前記第4接続点と第6接続点との間で電荷を転送する手段を備える、特許請求の範囲第16項記載のCMOS電圧基準発生器。

(19) 前記転送手段は、

前記第4および第6接続点に接続する電荷ポンプ回路を備える、特許請求の範囲第18項記載のCMOS電圧基準発生器。

(20) 前記出力段は、直列回路であり、

V_{CC}端子に接続されるドレイン端子、第7回路接続点に接続されるソース端子、および前記第1回路接続点に接続されるゲートを有する第9NMOSトランジスタ、および

前記第3接続点を接地端子に結合する第5コンデンサC₅を備える、特許請求の範囲第21項記載のCMOS電圧基準発生器。

(23) 高出力インピーダンス電圧基準発生器の出力端子からV_{REFIN}信号を受入れ、かつ大きさがV_{REFIN}の大きさにほぼ等しいV_{REFOUT}信号を与える、高電流駆動能力を有する低電力、低出力インピーダンスオンチップCMOS電圧基準発生器であって、

高出力インピーダンス電圧基準発生器の出力端子に結合される入力端子を有する、第1複数個の相互に接続されたPMOSおよびNMOSトランジスタを含む、CMOS前置増幅器を備え、前記前置増幅器は、電流の実質的な量が前記高出力インピーダンス電圧基準発生器の出力端子へまたは出力端子から流れるのを防ぎ、かつ第1および第2前置増幅器出力端子でそれぞれ第1および第2前置増幅器出力を与え、

前記第1および第2前置増幅器出力に結合される第1および第2入力、および第1および第2出力端子を有する、第2複数個の相互に接続されたPMOSおよびNMOSトランジスタを含むCMOS分離段をさらに備え、前記分離段は、出力電圧の跳ね返りの影響から前記前置増幅器を分離し、かつ電圧基準の電流駆動能力を増加させ、

MOSトランジスタ、および

前記第7回路接続点に接続されるソース端子、接地端子に接続されるドレイン端子、および前記第3回路接続点に接続されるゲートを有する第10PMOSトランジスタを備え、

前記第2および第9トランジスタは、整合されたトランジスタの対であり、かつ前記第3および前記第10トランジスタは、整合されたトランジスタの対であり、かつ前記第9および第10トランジスタのW/L比は、前記第3および第4トランジスタのW/L比からスケールアップされる、特許請求の範囲第16項記載のCMOS電圧基準発生器。

(21) 前記第1および第3接続点を出力電圧の跳ね返りの影響から分離する手段をさらに備える、特許請求の範囲第20項記載のCMOS電圧基準発生器。

(22) 前記分離手段は、

前記第1接続点を接地端子に結合する第4コンデンサC₄、および

力端子を有する、第2複数個の相互に接続されたPMOSおよびNMOSトランジスタを含むCMOS分離段をさらに備え、前記分離段は、出力電圧の跳ね返りの影響から前記前置増幅器を分離し、かつ電圧基準の電流駆動能力を増加させ、

前記第1および第2分離段出力にそれぞれ結合される第1および第2入力を有する、第3の複数個の相互に接続されたPMOSおよびNMOSトランジスタを含む、出力段出力端子でV_{REFOUT}信号を与え、かつ高ソース/シンク電流駆動能力、および低出力インピーダンスを与える、CMOSソースフォロア出力段、および

電力放散を最少にするために、前記第1、第2および第3の複数個のトランジスタをサブスレッショールド領域でバイアスする手段をまたさらに備える、CMOS電圧基準発生器。

(24) 前記バイアス手段は、

前記第1複数個分のトランジスタを含む回路であるCMOSカレントミラーを備える、特許請求の範囲第23項記載のCMOS電圧基準発生器。

(25) 前記カレントミラーは、整合された1対のトランジスタを含む、特許請求の範囲第24項記載のCMOS電圧基準発生器。

(26) 前記整合された対のトランジスタの W/L 比は、前記カレントミラーの電流の流れをサブスレッショルドレベルまで減じるためにスケールされる、特許請求の範囲第25項記載のCMOS電圧基準発生器。

(27) 前記低出力カインピーダンス電圧基準発生器は、外部電源の V_{CC} および接地端子に接続され、かつ前記CMOSカレントミラーは、第1および第2の相互に接続された直列回路を含み、前記第1回路は、

V_{CC} 端子に接続されるソース端子、および第1回路接続点に接続されるドレイン端子を有する第1PMOSTランジスタおよび、

前記第1回路接続点に接続されるドレイン端子、および第2回路接続点に接続されるソース端子を有する第2NMOSTランジスタを備え、前記高出力カインピーダンス電圧基準発生器の出力端子は

接続点は、前記第1トランジスタのゲートに結合され、

前記第4回路接続点に接続されるドレイン端子、および第5回路接続点に接続されるソース端子を有する第6NMOSTランジスタをさらに備え、前記第6トランジスタのゲートは、前記第1接続点に結合され、

前記第5接続点に接続されるソース端子、および第6回路接続点に接続されるドレイン端子を有する第7PMOSTランジスタを備え、前記第7トランジスタのゲートは前記第3接続点に結合され、

前記第6接続点に接続されるドレイン端子、および接地端子に接続されるソース端子を有する第8NMOSTランジスタをさらに備え、前記第6接続点は、前記第4トランジスタのゲートに結合され、

前記第5PMOSTランジスタは、ダイオード構成で接続され、そのゲートは前記第4回路接続点に接続され、

また、前記第2回路接続点に結合され、

前記第2回路接続点に接続されるソース端子、および第3回路接続点に接続されるドレイン端子を有する第3PMOSTランジスタ、および

前記第3回路接続点に接続されるドレイン端子、および接地端子に接続されるソース端子を有する第4NMOSTランジスタをさらに備え、

前記第2NMOSTランジスタは、ダイオード構成で接続され、そのゲートは前記第1回路接続点に接続され、

前記第3PMOSTランジスタは、ダイオード構成で接続され、前記トランジスタのゲートは、前記第3回路接続点に接続され、

前記第1および第3回路接続点は前記前置増幅器のそれぞれ第1および第2出力端子であり、かつ

前記第2直列回路は、

V_{CC} 端子に結合されるソース端子、および第4回路接続点に接続されるドレイン端子を有する第5PMOSTランジスタを備え、前記第4回路

前記第8NMOSTランジスタは、ダイオード構成で接続され、そのゲートは前記第6回路接続点に接続され、

前記第1および第5、第2および第6、第3および第7、および第4および第8トランジスタは、整合されたトランジスタの対であり、かつ

前記第1および第3接続点は、第1および第2前置増幅器出力端子である、特許請求の範囲第26項記載のCMOS電圧基準発生器。

(28) 前記出力段は、直列回路であり、

V_{CC} 端子に接続されるドレイン端子、および第7回路接続点に接続されるソース端子を有する第9NMOSTランジスタを備え、前記第7接続点は、前記ソースフォロアの出力端子であり、かつ

前記第7回路接続点に接続されるソース端子、および接地端子に接続されるドレイン端子を有する第10PMOSTランジスタをさらに備え、特許請求の範囲第27項記載のCMOS電圧基準発生器。

(29) 直列回路である分離段をさらに含み、

V_{CC} 端子に接続されるソース端子、第9回路接続点に接続されるドレイン端子、および前記第4回路接続点に接続されるゲートを有する第13 PMOS トランジスタ、

前記第9回路接続点に接続されるドレイン端子、および第10回路接続点に接続されるソース端子を有する第14 NMOS トランジスタ、

前記第10回路接続点に接続されるソース端子、および第11回路接続点に接続されるドレイン端子を有する第15 PMOS トランジスタ、および

前記第11回路接続点に接続されるドレイン端子、接地端子に結合されるソース端子、および前記第6回路接続点に結合されるゲートを有する第16 NMOS トランジスタを備え、

前記第14 トランジスタは、ダイオード構成で接続され、そのゲートは前記第9回路接続点に接続され、

第15 トランジスタは、ダイオード構成で接続され、そのゲートは前記第11回路接続点に結合

され、

前記第1および第13 トランジスタ、前記第2および第14 トランジスタ、前記第3および第15 トランジスタ、および前記第4および第16 トランジスタは、整合されたトランジスタの対であり、

前記第9および第11接続点は、前記分離段の第1および第2出力端子であり、

前記第9接続点は、前記第9 トランジスタのゲートに結合され、かつ前記第11接続点は、前記第10 トランジスタのゲートに結合され、前記第9および第10 トランジスタのゲートは、前記ソースフォロアの入力端子であり、

前記第9および第14、および第10および第15 トランジスタは、整合されたトランジスタの対であり、かつ

前記第9および第10 トランジスタの W/L 比は、第13および第14 トランジスタの W/L に対してスケールアップされる、特許請求の範囲第28項記載の CMOS 電圧基準発生器。

(30) 前記第1および第5、および第4および第8 トランジスタの W/L 比は、前記第1および第2回路を介する電流の流れをサブスレッショウレベルまで減じるためにスケールされる、特許請求の範囲第29項記載の CMOS 電圧基準発生器。

(31) V_{REFIN} の大きさは、 V_{TP} の絶対値と $V_{CC} - V_{TN}^{CMOS}$ との間にある、特許請求の範囲第30項記載の CMOS 電圧基準発生器。

(32) V_{CC} が第1から第2レベルまで揺れるとき、誤った出力段での第1および第3接続点のトラッピングを防ぐ手段をさらに備える、特許請求の範囲第31項記載の CMOS 電圧基準発生器。

(33) 前記防止手段は、

高出カインピーダンス電圧基準発生器の出力端子を前記第1接続点に結合する第1コンデンサ C_1 、

高出カインピーダンス電圧基準発生器の出力端子を前記第3接続点に結合する第2コンデンサ C_2

2、

前記第5接続点を接地端子に結合する第3コンデンサ C_3 を備える、特許請求の範囲第32項記載の CMOS 電圧基準発生器。

(34) 前記防止手段は、前記第4と第6接続点との間で電荷を転送する手段を備える、特許請求の範囲第33項記載の CMOS 電圧基準発生器。

(35) 前記転送手段は、

前記第4および第6接続点を接続する電荷ポンプ回路を備える、特許請求の範囲第34項記載の CMOS 電圧基準発生器。

(36) 前記分離回路は、

前記第9接続点を接地端子に結合する第4コンデンサ C_4 、および

前記第11接続点を接地端子に結合する第5コンデンサ C_5 をさらに備え

C_4 および C_5 は、出力の跳ね返りを減結合する、特許請求の範囲第35項記載の CMOS 電圧基準発生器。

3. 発明の詳細な説明

発明の分野

この発明は、一般に、低電力電圧基準発生器に関するものであり、さらに特定の言え、集積回路(IC)チップ上に形成される低電圧基準ドライバに関するものである。

先行技術の説明

調整電源は、多くの電子工学のシステムで必要とされる。半導体ICチップ上に製造されるシステムでは、電圧基準発生器は、一般に、チップより離れて構成されている。オンチップ電圧基準発生器が最近開発されており、たとえばティビディス(Tsividis)他による、「CMOS電圧基準発生器」という題の論文、IEEE・J・ソリッド・ステイト・サーキット(IEEE J. Solid State Circuits)、第SC-13巻、第6号、1978年12月、774-778頁、およびブラウシルド(Blaushild)による、「新NMOS温度安定電圧基準発生器」という題の論文、第SC-13巻、

準ドライバを必要とする。たとえば、ICメモリアレイでは、この電流は、メモリアレイのビットラインおよび蓄積コンデンサを、必要な基準電圧に充電することが必要とされる。良好なドライバの特性を成し遂げるために、電圧基準発生器は、低出力インピーダンスを有しなければならない。

電圧基準発生器および負荷抵抗器の出力インピーダンスは、抵抗性電圧ドライバ回路を形成する。ドライバが電流を負荷に与えていれば、ドライバからの出力電圧は、出力インピーダンスを掛けた電流に等しい量だけ減少される。したがって、低出力インピーダンスは、安定電圧基準発生器を提供し、かつ高電流を与えることが必要とされる。

さらに、低出力インピーダンス電圧基準ドライバはまた、低RC充電時間を与え、ここでRは電圧基準発生器の出力インピーダンスであり、かつCはIC回路の静電容量である。この低充電時間は、構成している高速メモリアレイ、および他のIC高速回路にとって非常に重要である。

したがって、IC装置の業界において、低電力、

第6号、1978年12月、767-773頁に説明されている。しかしながら、これらの論文に説明される電圧基準発生器のいずれも、低電力での低出力インピーダンスを特徴としていない。

参照したティビディス他は、774頁で、CMOS電圧基準発生器のいくつかの利点を説明している。これらの利点の中には、CMOS設計は、回路設計者の自由にバイポーラ装置を置くということ、およびサブスレッショルド領域で動作されるとき、温度に反応しない基準発生器を提供するということがある。

最近、CMOSダイナミックRAM集積回路は、消費電力を減じるように開発されてきている。これらのシステムで利用される電圧基準発生器は、非常に低い電力を放散させ、そのためCMOS DRAMの全体の低消費電力は、著しく劣化されないということが非常に重要である。

これらのICメモリ回路アレイ、および多くの他のICシステムは、基準電圧を変化させることなく電流の高レベルを与えることが可能な電圧基

低出力インピーダンス、オンチップ電圧基準発生器の大きな必要がある。

発明の概要

この発明は、CMOS、低電力、低出力インピーダンス、オンチップ電圧基準発生器を提供することである。この発明は、高出力インピーダンスオンチップ電圧基準発生器の出力端子に結合される前置増幅器を含む。この前置増幅器は、サブスレッショルド領域で前置増幅器のMOSトランジスタをバイアスする、特定のCMOS整合カレントミラー構成を含む。サブスレッショルド領域での電流の流れは最少であるので、前置増幅器は、非常に低い電力を放散させる。さらに、この低電流は、高出力インピーダンス電圧基準発生器の出力インピーダンスを効果的に分離する。高出力インピーダンス端子への、またはからのかなりの電流の流れを防ぐことによって、高出力インピーダンス電圧基準発生器に関連する有害な効果、すなわち出力電圧の変動、およびRC電荷時定数の増加が減少される。

一実施例では、前置増幅器は、出力信号をCMOSソースフォロア出力段に与える。前置増幅器／出力段構成の利得はほぼ単一であり、そのためソースフォロア出力段の出力端子での出力電圧の大きさは、高出力インピーダンス電圧基準発生器の出力端子での電圧の大きさ(V_{REFIN})にほぼ等しい。前置増幅器からの出力信号は、どの負荷もソースフォロア出力端子に結合されないと、サブスレッショルド領域でソースフォロアトランジスタをバイアスする。したがって、無負荷状態中、ソースフォロアは、非常に低い電流を引き、かつ低電力を放散させる。しかしながら、負荷が出力端子に結合されるとき、ソースフォロアは高電流を与える。

ソースフォロア出力段の重要な特性は、低出力インピーダンスである。したがって、ソースフォロア出力段の出力端子での電圧(V_{REFOUT})は、 V_{REFIN} の大きさにほぼ等しく、かつソースフォロア出力段の低出力インピーダンスのため、この発明のシステムは、 V_{REFOUT} の値

整合される。ソースフォロア出力段のトランジスタのチャンネルの W/L 比は、前置増幅器のトランジスタの W/L 比からスケールアップされ、電流ドライバ静電容量を与える。

この発明の一局面によると、 V_{REFIN} の値は、供給電圧 V_{CC} の予め定められた分数、たとえば $1/2$ である。CMOSカレントミラーの接続点上の電荷形成が、間違ったレベルに前置増幅器電圧出力を閉じ込めるのを防ぐ回路構成が提供される。一実施例では、電荷ポンプは、電荷形成を防ぐ。さらに、閉じ込めないようにするために、 V_{REFIN} 入力を前置増幅器出力端子に結合するコンデンサが提供される。

この発明の他の実施例では、ソースフォロア出力段を前置増幅器に結合するために、CMOS分離段が利用される。分離段のトランジスタは、前置増幅器のトランジスタに整合され、かつサブスレッショルド領域でバイアスされる。出力段トランジスタの W/L 比は、前置増幅器のトランジスタの W/L 比からスケールアップされ、電流を増

加させることなく、または出力負荷に充電するのに必要なRC時定数を増加させることなく、駆動電流を与える。

この発明の一局面によると、前置増幅器は、CMOSカレントミラー構成を含み、高出力インピーダンス電圧基準発生器の出力端子は、カレントミラー構成の入力接続点に接続される。トランジスタの W/L 比は、サブスレッショルド領域でのすべてのトランジスタをバイアスするためにスケールされる。したがって、トランジスタでのソースドレイン電流の大きさ(I_{SD})は非常に低い。相補形PチャンネルおよびNチャンネルトランジスタのソースは、入力接続点で相互に接続され、かつサブスレッショルドバイアス状態のため、実質的に電流は高出力インピーダンス電圧基準発生器の出力端子へまたは出力端子から流れない。

ソースフォロア出力段はまた、設計されたNMOSおよびPMOSTランジスタを含み、そのためその動作特性は、前置増幅器のトランジスタと

加させ、出力段を駆動する。さらに、分離段は、前置増幅器から出力フィードバック信号を減結合する。

好ましい実施例の詳細な説明

この発明は、オンチップ、低出力インピーダンス、CMOS基準電圧発生器、および電流ドライバを提供する。

第1図は、標準電圧基準発生器の等価回路の概略図である。電圧基準発生器10は、電圧基準出力インピーダンス(Z_0)14に直列に接続される理想的な電圧源12によって表わされる。電圧基準発生器によって与えられる基準電圧(V_{REFIN})は、基準ソース出力端子16で与えられる。出力端子16は、負荷に接続され、この図面では、負荷抵抗器(R_L)18および負荷コンデンサ(C_L)20によって表わされる。

この発明に関連して、 R_L および C_L 18および20は、ICメモリアレイのビットラインおよびメモリセルの抵抗および静電容量を表わす。高出力インピーダンスの欠点を、これに関連して説

明する。まず、コンデンサ C_L を充電するために、電流が負荷抵抗器18を介して与えられているとき、出力インピーダンス Z_{O14} および負荷抵抗器 R_{L18} によって形成される抵抗性回路網は、電圧駆動回路網を形成する。したがって、 V_{REFIN} の値は、与えられた電流の大きさに出力インピーダンス Z_{O14} の大きさを掛けたものに等しい項だけ、 V_{REF} と異なる。したがって、 V_{REFIN} は、安定値を有さず、しかも電流基準10によって与えられる電流に比例して変動する。次に、負荷コンデンサ20 C_L を充電する時間は、 Z_{O14} と R_{L18} との和に依存し、かつ出力インピーダンス Z_O の大きさに比例して増加される。この状況では、 C_{L20} は、メモリアレイでのメモリセルの静電容量を表わすため、コンデンサ C_{L20} を充電または放電するのに必要な時間の増加は、メモリのアクセスタイムを減速し、それによってその効率を減じる。

第2図は、この発明のブロック図である。第2図を参照すると、高出力インピーダンス電圧基準

インピーダンスを介する電流の流れによる電圧変動は、回路から除去される。分離段42は、 V_{CC} の値での揺れの影響から、および出力電圧変動から前置増幅器32を保護する。ソースフォロア出力段52は、高出力電流を与え、かつ本質的に低出力インピーダンスを特徴とする。システム全体の利得は、ほぼ均一であり、そのため大きさが V_{REF} に等しい安定な V_{REFOUT} 、および大きい駆動電流を与える能力が、このシステムによって実現される。代わりの実施例では、分離段は含まれておらず、かつCMOS前置増幅器32からの出力34および36は、ソースフォロア出力段52の入力48および50に直接接続される。このシステムは、駆動電流を外部負荷に与えていないとき、非常に低く放散するように設計される。

第3図は、この発明の実施例の回路図であり、分離段42は省略されている。第3図を参照すると、 V_{CC} 端子56と接地端子58との間の第1直列回路60は、4つのMOSトランジスタを含む。第1回路60は、第1PMOSTランジスタ

発生器10の出力端子16は、CMOS前置増幅器32の入力30に接続される。CMOS前置増幅器32は、第1および第2前置増幅器出力34および36で、第1および第2出力信号を発生させ、それらの信号は、分離段42の第1および第2入力端子38および40に結合される。分離段42は、第1および第2出力端子44および46で、第1および第2分離段出力信号を発生させ、それぞれの信号は、ソースフォロア出力段52の第1および第2入力端子48および50に結合される。ソースフォロア出力段52は、その出力端子54で、出力信号を発生させる。高出力インピーダンス電圧基準発生器10、前置増幅器32、分離段42、およびソースフォロア52は、外部電源（示されていない）の V_{CC} 56および接地端子58に各々結合される。

CMOS前置増幅器32は、高出力インピーダンス電圧基準発生器10の出力端子16へまたは出力端子から、電流 I_O が実質的に流れないように構成される。したがって、上で説明した、出力

68を含み、そのソースは V_{CC} 端子56に接続され、かつそのドレインは第1接続点70に接続される。第1接続点70は、第2NMOSTランジスタ72のドレイン端子に結合され、かつまた第2トランジスタ72のゲートに結合され、一方第2トランジスタ72のソース端子は第2接続点73に結合される。高出力インピーダンス電圧基準発生器10の出力端子16は、第1回路60の第2接続点73に結合される。第2接続点73は、第3PMOSTランジスタ74のソース端子に結合され、第3ランジスタ74のドレインは第3接続点76に接続され、かつまた第3トランジスタ74のゲートは第3接続点76に接続される。最後に、第4NMOSTランジスタ78のドレイン端子は、第3接続点76に接続され、一方ソース端子は外部電源の接地端子58に接続される。

第2トランジスタ72は、ダイオード構成で接続される。第2トランジスタ72のドレインとソース（第1接続点70と第2接続点73）との間の電圧差（ V_{DS} ）は、ゲートがドレインに結合

されるため、ゲートとソース（第2接続点73）との間の電圧差（ V_{GS} ）に等しい。第2トランジスタ72は、 V_{GS} が V_{TN} （第2NMOSTトランジスタ72のしきい値電圧）に等しいとき導通する。したがって、 V_{DS} が V_{TN} に等しいとき、第2トランジスタ72は導通し、かつ第1接続点70での電圧、 $V_{REFIN} + V_{TN}$ に等しい $V(1)$ を保持する。対応して、 $V(3)$ は $V_{REF} - V_{TP}$ に等しく、ここで V_{TP} は第3PMOSTトランジスタ74のしきい値電圧である。

前置増幅器32は、第2直列回路79をさらに含む。第5PMOSTトランジスタ80は、 V_{CC} 端子56に結合されるソース端子、および第4接続点81に結合されるドレイン端子を有する。第4接続点81は、第1および第5トランジスタ68および80のゲートに結合される。第4接続点81は、第6NMOSTトランジスタ82のドレイン端子に結合され、第6トランジスタ82のドレインは第5接続点83に接続される。第6トラン

ジスタ82のゲートは、第1接続点70に結合される。第5接続点83は、第7PMOSTトランジスタ84のソース端子に結合され、第7トランジスタ74のドレイン端子は第6接続点85に結合される。第7トランジスタ84のゲートは、第3接続点76に結合される。第6接続点85は、第8NMOSTトランジスタ86のドレイン端子に結合され、第8トランジスタ86のソース端子は接地端子58に結合される。第6接続点85は、第4および第8トランジスタ78および86のゲートに結合される。

IC上に製作されるいくつかのMOSTトランジスタの特性は、整合されたトランジスタの様々な対応するコンポーネントが同じプロセスステップ中に形成される場合に、しっかりと整合される。たとえば、1つのイオン構成ステップ中すべてのドレインが形成されれば、イオン打込み速度の変動は、整合されたトランジスタのすべてに等しく影響を及ぼす。したがって、すべての整合されたトランジスタのしきい値および利得特性は、ほぼ

同一である。

MOSTトランジスタのドレイン-ソース電流 I_{DS} は、トランジスタチャンネルの幅対長さの比に依存している。全く同じにバイアスされた整合トランジスタのソース-ドレイン電流の大きさ I_{DS} は、トランジスタのチャンネル W/L 比をスケールすることによって相対的にスケールされてもよい。たとえば、第5PMOSTトランジスタ80の W/L が第1PMOSTトランジスタ68の W/L の N 倍に等しい、つまり $I_{DS}(5) = N I_{DS}(1)$ の場合である。

第1および第2直列回路60および79において、第1および第5トランジスタ68および80、第2および第6トランジスタ72および82、第3および第7トランジスタ74および84、および第4および第8トランジスタ78および86は、整合トランジスタの対である。

V_{CC} 端子56と接地端子58との間に接続される第3直列回路88は、第2図のソースフォロア出力段52として機能する。第3直列回路88

は、第9NMOSTトランジスタ90を含み、そのドレイン端子は V_{CC} 端子56に接続され、かつそのソース端子は第7接続点92に接続される。第7接続点92は、第10PMOSTトランジスタ94のソース端子に接続され、そのドレイン端子は接地端子58に接続される。第9トランジスタ90のゲートは、第1回路60の第1接続点70に接続され、したがって第9トランジスタ90の電圧は $V_{REFIN} + V_{TN}$ に等しい。同様に、第10トランジスタ94のゲートは、第3回路接続点76に接続され、かつ第10トランジスタ94のゲートでの電圧は $V_{REFIN} - V_{TP}$ に等しい。第1および第3接続点70および76は第1および第2前置増幅器出力（第2図の34および36）に対応し、かつ第9および第10トランジスタ90および94のゲートはソースフォロア入力（第2図の48および50）に対応することに注目されたい。

第9および第10トランジスタ90および94は、第1回路60で第2および第3トランジスタ

72および74にそれぞれ整合され、しかも W/L 比は、第7接続点92で高駆動電流を与えるためにスケールアップされる。

コンデンサ C_0 は、第2接続点73を接地端子58に結合する。コンデンサ C_1 は、 V_{REFIN} 端子16を第1接続点70に結合する。コンデンサ C_2 は、 V_{REFIN} 端子16を第3接続点76に結合する。コンデンサ C_3 は、第5接続点83を接地端子58に結合する。コンデンサ C_4 は、第1接続点70を接地端子58に結合する。かつコンデンサ C_5 は、第3接続点76を接地端子58に結合する。

第4直列回路95は、第4接続点81を第6接続点85に結合する。第4直列回路95は、第11NMOSトランジスタ96を含み、そのドレイン端子は第4接続点81に接続され、かつそのソース端子は第8接続点97に接続される。第8接続点97は、第12PMOSトランジスタ98のソース端子に接続される。第12トランジスタ98のドレインは、第6接続点85に接続される。

かつワット損は、 $(I_{DS})^2$ に依存するので、非常に低い。

サブスレッショルドバイアスの達成を第5図に関連して説明するが、これは第3図に描写した回路の部分の簡略した描写である。好ましい実施例では、 V_{REFIN} は $V_{CC}/2$ に等しい。第5接続点83での電圧 $V(5)$ はまた、以下で説明する理由のため $V_{CC}/2$ に等しい。第1、第2、第5、および第6トランジスタ68、72、80および82は、カレントミラーを形成するように接続される。すべてのトランジスタが、同一の W/L 比を有すれば、第1および第2回路60および79を介する電流は、次の理由のため等しいであろう。第5および第1トランジスタ80および68のゲートは第4接続点81に結合され、かつ両トランジスタのソースは V_{CC} 端子56に結合されるので、第1および第5トランジスタの V_{GS} はともに $+V_{TP}$ に等しい。第1および第5トランジスタ68および80は整合トランジスタの対であるので、第1および第5トランジスタ

第11および第12トランジスタ96および98のゲートは、 ϕ_{OSC} 入力99に結合される。コンデンサ C_6 は、第8接続点97を接地端子58に結合する。

第3図に描かれた回路の動作を説明する。第1および第2直列回路60および79のすべてのトランジスタは、サブスレッショルド領域で動作するようにバイアスされる。ゲート/ソース電圧(V_{GS})の関数としてのドレイン/ソース電流(I_{DS})は、第4図に描かれる。1次依存関係は、実線100aによって描かれる。 I_{DS} は、 V_{GS} が V_T より小さいため0であり、 V_{GS} が V_T 以上に増加するにつれて急速に上がる。2次依存関係は、破線100bによって描かれる。破線のスケールは、 I_{DS} の値が、 V_{GS} が V_T よりわずかに小さいため0よりわずかに大きいということを図解するために誇張されている。 V_{GS} が V_T と等しいまたはわずかに小さいこの領域は、スレッショルド領域として規定される。この領域でのワット損は、 I_{DS} の値が非常に小さく、

68および80を介するドレインソース電流振幅、 $I_{DS}(1)$ および $I_{DS}(5)$ は、トランジスタの W/L 比が等しい場合、ともに等しい。同様に、第2および第6トランジスタ72および82の V_{GS} は、ともに $-V_{TN}$ に等しく、かつ $I_{DS}(2)$ および $I_{DS}(6)$ の大きさは等しい。最後に、第1および第2トランジスタ68および72は直列に接続されるので、 $I_{DS}(1)$ は $I_{DS}(2)$ に等しく、かつ第5および第6トランジスタ80および82は直列に接続されるので、 $I_{DS}(5)$ および $I_{DS}(6)$ は等しい。最終結果は、第1および第2直列回路60および79の両方での電流は等しいということである。

この発明では、第2および第6トランジスタ72および82に対する W/L 比は等しく、しかも第1トランジスタ68に対する比は、第5トランジスタ80に対する比の分数、たとえば $1/4$ にスケールダウンされる。したがって、 $I_{DS}(1)$ の値 $=1/4 I_{DS}(5)$ である。第1および第2トランジスタ68および72は直列に接続され、

そのため $I_{DS}(2) = I_{DS}(1) = 1/4 I_{DS}(5)$ である。上で説明したように、第2および第6トランジスタ72および82は、同じ W/L 比を有する整合トランジスタであり、かつ同じ V_{GS} を有し、そのため $I_{DS}(4) = I_{DS}(6) = 1/4 I_{DS}(5)$ である。かつ、第5および第6トランジスタ80および82は、直列に接続されるため、 $I_{DS}(5) = I_{DS}(6) = 1/4 I_{DS}(5)$ である。

したがって、第5図の回路は、フィードバックループを形成し、トランジスタがサブスレッショールド領域でバイアスされるまで、電流をカレントミラーで減じ続ける。

第3図を参照すると、第1接続点70での電圧 $V(1)$ は $V_{REF} + V_{TNS}$ に等しく、ここで V_{TNS} は、第2トランジスタ72がサブスレッショールド領域でバイアスされることを示すことに注目されたい。同様に、第3接続点76での電圧 $V(3)$ は、 $V_{REF} - V_{TPS}$ である。第3図に描かれた実施例では、電圧 $V(1)$ および V

(3) は、前置増幅器段32の出力電圧である。

ソースフォロア段32の第9および第10トランジスタ90および94は、第2および第3トランジスタ72および74にそれぞれ整合され、しかも高駆動電流を与えるために、増加した W/L 比を有する。

V_{REFOUT} 出力端子92での電圧の大きさは、次の理由のために V_{REFIN} に等しい。

a) 第9トランジスタ90が導通すれば、

$$V_{GS} = V_{Gate} - V_{source} =$$

$V_{REFIN} + V_T - V_{REFOUT} \leq V_T$ であり、 V_{TNS} および V_{TPS} の大きさは V_T に等しいと仮定される。

b) 第10トランジスタ94が導通すれば、

$$V_{GS} = V_{Gate} - V_{source} =$$

$V_{REFIN} + V_T - V_{REFOUT} \leq V_T$ となり、および

c) 第9および第10トランジスタ90および94がともに導通すれば、次のようになる。

$$V_{REFIN} = V_{REFOUT}$$

第3接続点73での電圧 $V(3)$ は、同じ理由で V_{REFIN} に等しい。

第9および第10トランジスタ90および94は、第1接続点70および第3接続点76にそれぞれ結合されるゲート、および V_{REFOUT} 端子92に結合されるソースを有する。したがって、整合第2トランジスタ72および第9トランジスタ90は同じ V_{GS} を有し、それゆえに、ともにサブスレッショールド領域でバイアスされる。その結果、サブスレッショールドバイアス領域で回路を介して流れる電流の低い値のため、無負荷状態では実質的にいかなる電力も放散されない。しかしながら、負荷が出力端子92に結合されるとき、ソースフォロア52は、第9および第10トランジスタ90および94の高い W/L 比のため、高いソース/シンク電流駆動を提供する。

第5図に描かれた簡略化した回路に関する重要な問題は、 V_{CC} のレベルが第1から第2値まで揺れる場合に表われる。その場合には、第1接続点70および第3接続点76で生じる前置増幅器

出力電圧は、中間値で閉じ込められてもよく、かつ $V_{REFIN} = V_{CC}/2$ の値に追従しなくてもよい。 V_{CC} 揺れの正の値に対する低電圧値での第1接続点70のトラッピングを、第5図および第7図に関連して説明する。第7図は、 V_{CC} 、 $V_{REFIN} = V_{CC}/2$ 、 $V(4)$ 、および $V(1)$ の大きさを描くタイミング図である。このグラフは、単に例であり、かつ様々な関数の実時間依存を描いていない。この例では、 V_{CC} は、4ボルトから6ボルトまで揺れ、 $V_{REFIN} = V_{CC}/2$ は2ボルトから3ボルトまで揺れ、かつ V_{TNS} および V_{TPS} の大きさは0に等しくセットされる。 V_{CC} の揺れは、時間 T_1 で開始し、かつ時間 T_2 で終了する。

第5図および第7図を参照すると、 T_1 から T_2 までの時間期間に、 V_{CC} は4ボルトから6ボルトまで揺れ、かつ $V_{CC}/2$ は2ボルトから3ボルトまで揺れることに注目されたい。 $V_{CC}/2$ の大きさの変化が V_{CC} の大きさの変化より小さいため、 $V_{CC}/2$ を表わす曲線の勾配は、 V

V_{CC} を表わす曲線の勾配より小さい。上で説明したように、 $V(4)$ は $V_{CC}-1$ に等しく、したがって $V(4)$ は V_{CC} と同じ速度で増加する。 V_{CC} の揺れは、第4トランジスタ80での電流 $I_{DS}(4)$ をサブスレッショルドレベル以上に増加させ、かつ第4接続点81を充電する。この充電は、 $V(4)$ を増加させ、かつ第1トランジスタ68をターンオフする。第1トランジスタ68を介する、結果として生じる電流の流れ $I_{DS}(1)$ は非常に小さいため、第1接続点70は3ボルト、すなわち最初の $V_{CC}/2+1$ で閉じ込められて留まる。 $V(1)$ が3ボルトで、第5接続点3が2ボルト、すなわち $V_{CC}/2$ 値の状態で、第5トランジスタ82は、サブスレッショルド領域でバイアスされた状態に留まる。この小さいサブスレッショルド電流 $I_{DS}(5)$ は、第4接続点81を放電し、かつ第1接続点70を閉じ込めないように第1トランジスタ68で方向転換するのに不十分である。類似の問題は、負の V_{CC} 揺れの場合に第6接続点85に現われる。

1、および第5接続点83を接地端子56に結合する C_0 は、第1接続点70を閉じ込めないフィードバックループの部分形成する。その動作を、第1接続点70が4ボルトから6ボルトまでの V_{CC} 揺れ中3ボルトで閉じ込められる、上述の場合に関して説明する。

V_{CC} が4ボルトから6ボルトまで揺れるとき、 $V_{CC}/2$ は2ボルトから3ボルトまで揺れ、コンデンサ C_1 は、この $V_{CC}/2$ 電圧揺れを第1接続点70に部分的に結合する。それゆえに、 $V(1)$ は、3ボルト+小さい増分まで増加する。 $V(1)$ の増加は、第6トランジスタ82を介して電流を増加させ、かつ第4接続点81を部分的に放電する。第6トランジスタ82を介する電流は、大きいコンデンサ C_3 によって吸い込まれる。

第4接続点81上の電荷の減少は、 $V(4)$ を5ボルトから5ボルト-小さい増分まで減少させる。この $V(4)$ の減少は、第1トランジスタ68を介する電流を増加させ、かつ第1接続点をより高い電圧まで充電する。この $V(1)$ の増加は、

第3図に描かれた回路は、第4および第6接続点81および85での電荷形成、および第1および第3接続点70および76のトラッピングを防ぐ2つの機構を含む。第1の機構は、第4直列回路95によって形成される電荷ポンプ回路である。第2の機構は、コンデンサ C_1 、 C_2 、および C_3 によって形成される静電結合回路網である。

まず第3図の電荷ポンプ回路95を参照すると、第11トランジスタ96は、 ϕ_{OSC} の値が高になるとき、第4接続点81とコンデンサ C_6 との間で小さい量の電荷を転送する。この電荷はそれから、 ϕ_{OSC} の値がローになるとき、コンデンサ C_6 から第6接続点85まで転送される。 C_6 の値は、電荷ポンプ回路95を介して流れる電流の平均値が数ナノアンペアのオーダーであるように選択される。したがって、全体的な回路の電力放散は、電荷ポンプ回路95の存在によって増加されない。

静電結合回路網を参照すると、 V_{REFIN} 端子16を第1接続点70に結合するコンデンサ C

上で説明したフィードバックを続ける。

大きいコンデンサ C_0 は、回路を安定させ、かつ接続点が正しい電圧レベルにあるときフィードバック方法を中止させる。

コンデンサ C_4 および C_5 は、第1および第3接続点70および76を出力電圧揺れの効果から減結合する。

第7図に描かれた回路は第3図の回路に対応し、第1図の分離段42が追加されている。第7図を参照すると、第3図に描かれた同一または対応する回路エレメントは、第7図の同じ参照数字が与えられている。

第5直列回路102は、前置増幅器32をソースフォロア出力段52に相互に接続する。この第3回路102は、 V_{CC} 端子58に接続されるソース端子、および第9接続点106に接続されるドレイン端子を有する第13PMOSトランジスタ104を含む。第13トランジスタ104のゲートは、第4接続点81に結合される。第14NMOSトランジスタ108は、第9接続点106

に接続されるドレイン端子、および第10接続点110に接続されるソース端子を有する。第14トランジスタ108は、ダイオード構成で接続され、そのゲートは第9接続点106に結合される。第15PMOSトランジスタ112は、第10接続点110に接続されるソース端子、および第11接続点114に接続されるドレイン端子を有する。第15トランジスタ112は、ダイオード構成で接続され、そのゲートは第11接続点114に結合される。最後に、第16NMOSトランジスタ116は、第11接続点114に結合されるドレイン端子、および接地端子58に結合されるソース端子を有する。第16トランジスタ116のゲートは、第6接続点85に結合される。第8図の第1および第2直列回路60および79の位置は、第3図の位置に対して置き換えられていることに注目されたい。

第13および第16トランジスタ104および116のゲートは、分離段入力（第2図の38および40）に対応し、かつ第9および第11接続

点106および114は、分離段出力（第2図の44および46）に対応する。この回路では、第1および第3接続点70および76は、前置増幅器出力（第2図の34および36）に対応する。

分離段回路102の第13、第14、第15、および第16トランジスタ104、108、112、および116は、前置増幅器32に第1、第2、第3、および第4トランジスタ68、72、74、および78と整合した対を形成する。さらに、第9および第14トランジスタ90および108、および第10および第15トランジスタ94および114は、整合した対を形成する。しかしながら、第13、第14、第15、および第16トランジスタ104、108、112、および116の W/L 比は、前置増幅器32のトランジスタに対してスケールアップされ、そのため分離段回路102により以上の電流が流れる。また、ソースフォロア回路88でのトランジスタ90および94の W/L 比は、分離段42のトランジスタからスケールアップされる。第5および第10結

合接続点での電圧の大きさは、上述の理由のため V_{REFIN} に等しい。

分離段直列回路102は、第1直列回路79を反射する。特に、第9および第11接続点106および114は、第1および第3接続点70および76をそれぞれ反射する。第5直列回路102のトランジスタの W/L 比の増加したスケールは、増加した電流を与え、第9および第11接続点106および114を充電し、かつ回路上の V_{CC} 揺れおよび出力の跳ね返りの影響を減じる。

第8図は、このシステムで用いるのに適する、例となる高出力インピーダンス電圧基準発生器の回路図である。PMOSトランジスタ120は、 V_{CC} 端子56に接続されるソース端子、および接続点122に接続されるドレイン端子を有する。コンデンサ C_7 は、接続点122と接地端子58との間で接続される。NMOSトランジスタ124は、接続点122に接続されるドレイン端子、および接続点126に接続されるソース端子を有し、かつNMOSトランジスタ128は、接続点

126に接続されるソース端子、および接続点130に接続されるドレイン端子を有する。コンデンサ C_8 は、接続点130と接地端子58との間で接続される。NMOSトランジスタ132は、接続点130に接続されるドレイン端子、および接地端子58に接続されるソース端子を有する。インバータ134は、接続点136に接続される入力、およびトランジスタ132のゲートに接続される出力を有する。トランジスタ120、124、および128のゲートは、接続点136に接続される。

動作において、零と V_{CC} との間で交互になる周期的なクロック信号 ϕ は、接続点136に与えられる。クロック信号の振幅が V_{CC} に等しいとき、トランジスタ120および132はオンであり、かつトランジスタ124および128はオフである。その結果、コンデンサ C_7 は、トランジスタ120を介して $+V_{CC}$ まで充電し、かつコンデンサ C_8 は、トランジスタ132を介して接地まで放電する。クロック信号の振幅が0に等し

いとき、トランジスタ120および132はターンオフされ、かつトランジスタ124および128はオンである。したがって、接続点126は、コンデンサ C_7 および C_8 に結合される。 C_7 および C_8 の値は等しくセットされ、そのため接続点126での電圧の和は $V_{CC}/2$ に等しい。接続点126は、高出力インピーダンス電圧基準発生器10の出力端子16に結合される。

この発明を、特定の実施例に関して説明してきた。他の実施例は、当業者に明らかとなろう。たとえば、この発明を、CMOS技術よりむしろバイポーラで実行してもよい。PNPおよびNPNの整合された対を、上で説明したCMOSおよびNMOSTランジスタの代わりに用いてもよい。電流スケールは、バイポーラトランジスタのベース領域をスケールすることによって成し遂げられる。

さらに、サブスレッショルドバイアスは、特定化されたトランジスタの W/L 比をスケールすることによって成し遂げられる。しかしながら、

グラフである。

第5図は、第3図に描かれた回路の部分の回路図である。

第6図は、 V_{CC} 揺れの効果を図解するタイミング図である。

第7図は、分離段を含むこの発明の実施例の回路図である。

第8図は、高出力インピーダンスオンチップ電圧基準発生器の概略図である。

図において、10は電圧基準発生器、12は電圧源、14は電圧基準出力インピーダンス、16は基準ソース出力端子、18は負荷抵抗器、20は負荷コンデンサ、30および90は入力、32はCMOS前置増幅器、34および36は前置増幅器出力、38、40、48および50は入力端子、44、46および54は出力端子、42は分離段、52はソースフォロア出力段、56は V_C 端子、58は接地端子、60、79、88、95および102は直列回路、70、73、76、81、83、85、92、97、106、110、

これらの W/L 比は、フィードバックが電流を減じている間、任意にスケールされてもよい。

さらに、 V_{REFIN} は $V_{CC}/2$ に等しくセットされたが、しかしながら V_{REFIN} は、 V_{TP} の絶対値と $V_{CC}-V_{TN}$ との間のいかなる値をとってもよい。

またさらに、電荷転送回路は、電荷ポンプである必要はなく、しかも回路は、大きい抵抗器にならないだろう。

したがって、前掲の特許請求の範囲によって示されるものを除いてこの発明を制限することを意図していない。

4. 図面の簡単な説明

第1図は、高出力インピーダンス電圧基準発生器の概略図である。

第2図は、この発明の実施例のブロック図である。

第3図は、この発明の好ましい実施例の回路図である。

第4図は、 I_{DS} の V_{GS} への依存関係を描く

114、122、126、130および136は接続点、68、74、80、84、86、94、98、104、112、116および120はPMOSTランジスタ、72、82、90、96、108、124、128および132はNMOSTランジスタ、134はインバータである。

特許出願人 アドバンスト・マイクロ・ディバイ
イズ・インコーポレーテッド

代理人 弁理士 深見久郎
(ほか2名)



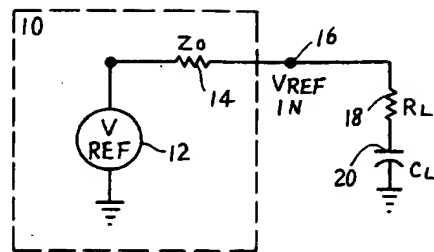


FIG. 1

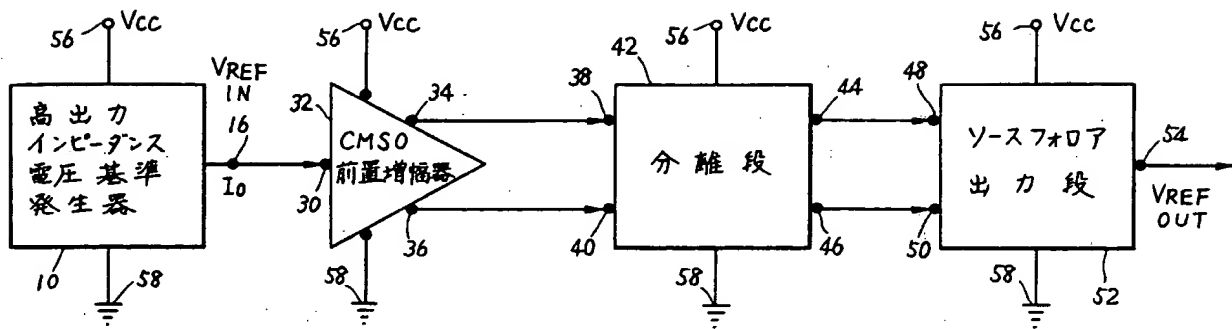


FIG. 2

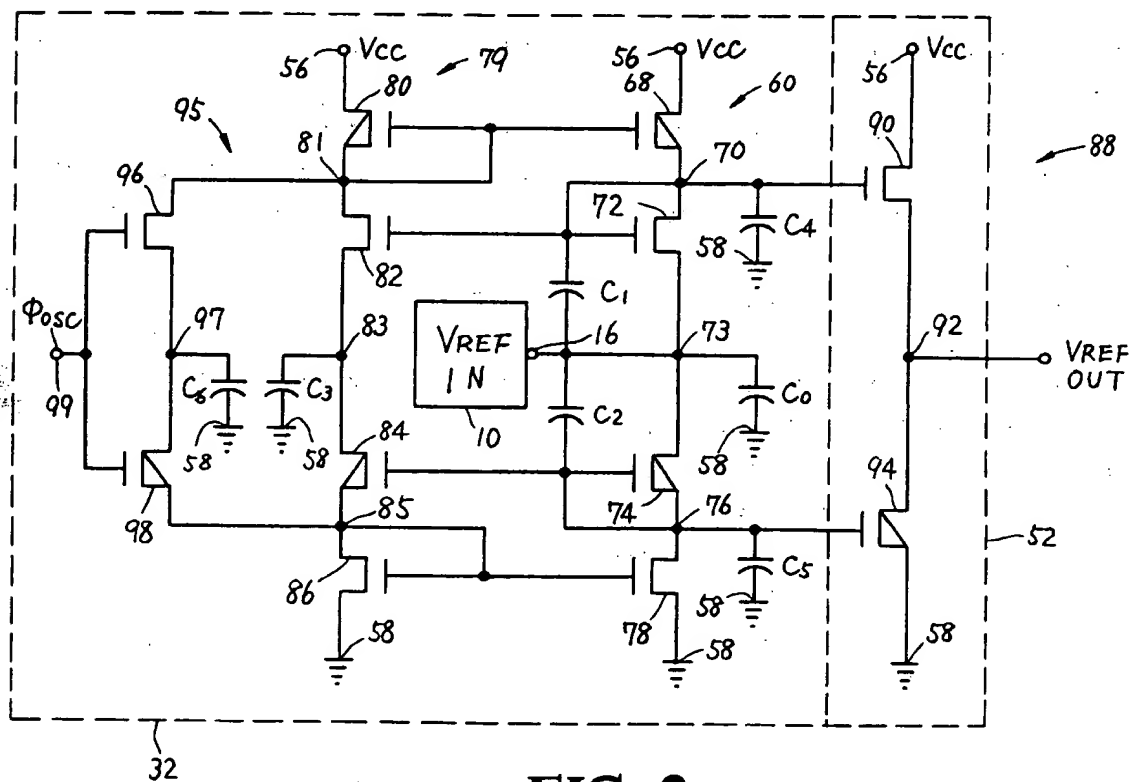


FIG. 3

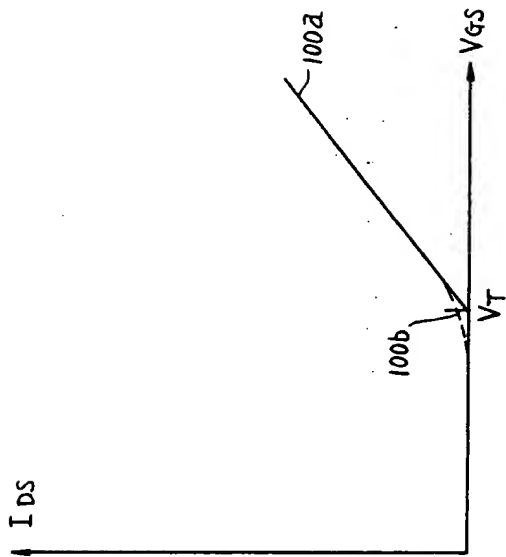


FIG. 4

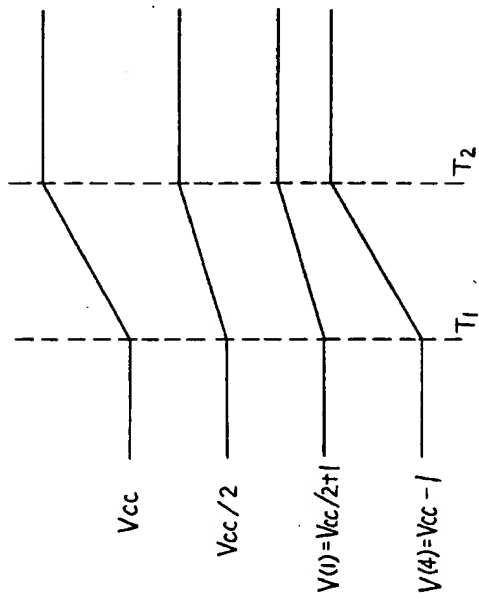


FIG. 6

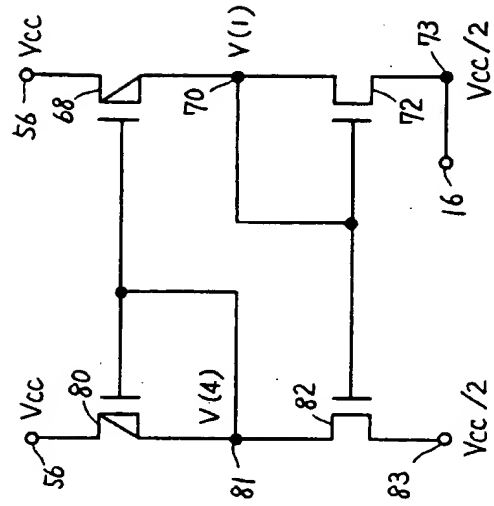


FIG. 5

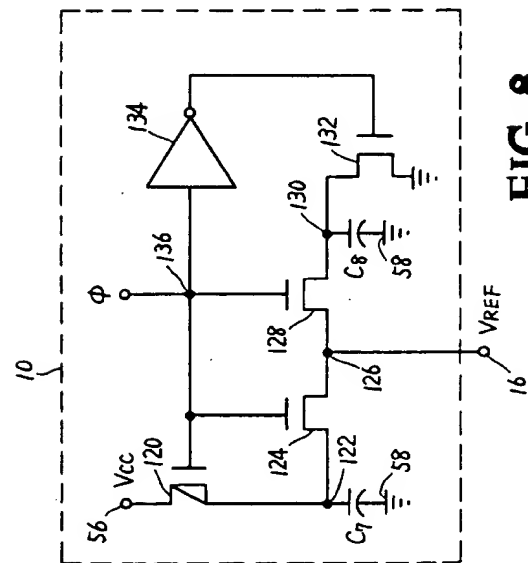


FIG. 8

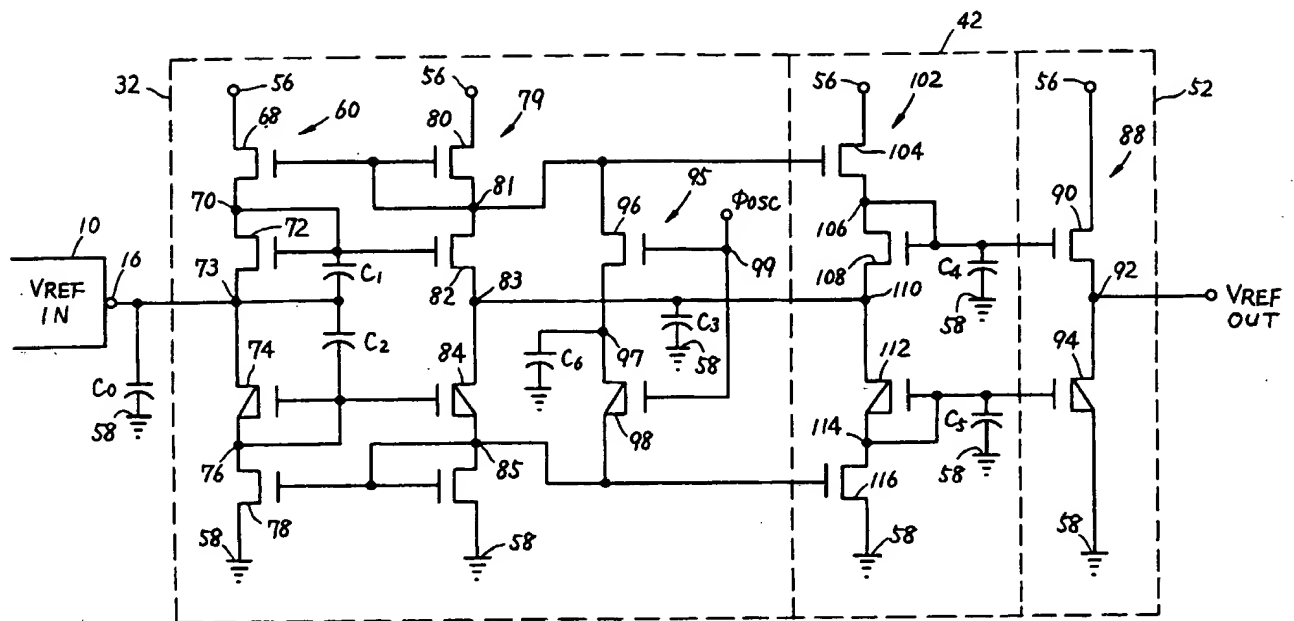


FIG. 7